

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/021544

International filing date: 24 November 2005 (24.11.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-367863
Filing date: 20 December 2004 (20.12.2004)

Date of receipt at the International Bureau: 12 January 2006 (12.01.2006)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2004年12月20日

出願番号
Application Number: 特願2004-367863

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is
J P 2004-367863

出願人
Applicant(s): 株式会社村田製作所

2005年12月21日

特許庁長官
Commissioner,
Japan Patent Office

中嶋



【書類名】 特許願
【整理番号】 MU12434-01
【提出日】 平成16年12月20日
【あて先】 特許庁長官殿
【国際特許分類】 H01F 17/00
【発明者】
 【住所又は居所】 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
 【氏名】 上田 充
【発明者】
 【住所又は居所】 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
 【氏名】 池田 正治
【特許出願人】
 【識別番号】 000006231
 【氏名又は名称】 株式会社村田製作所
【代理人】
 【識別番号】 100091432
 【弁理士】
 【氏名又は名称】 森下 武一
【手数料の表示】
 【予納台帳番号】 007618
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9004894

【書類名】特許請求の範囲

【請求項 1】

一端に第1のランド、他端に第2のランドを有する内部導体パターンを備えた複数のセラミックシートを積層して積層体を構成するとともに、前記セラミックシートに形成したピアホールによって異なる層に配置された前記内部導体パターンどうしを電気的に接続した積層セラミック電子部品において、

前記ピアホールは導電体で充填されており、

前記第1のランドは前記ピアホールを覆うように設けられており、一のセラミックシートに設けられた前記第1のランドと他のセラミックシートに設けられた前記第2のランドとが、一のセラミックシートに設けられた前記ピアホールを介して電気的に接続され、

前記第2のランドが前記第1のランドより大きいこと、

を特徴とする積層セラミック電子部品。

【請求項 2】

前記第2のランドは、前記第1のランドの投影領域から、前記内部導体パターンの投影領域に延在していることを特徴とする請求項1に記載の積層セラミック電子部品。

【請求項 3】

ピアホール用穴を形成したセラミックシートの表面に、一端に第1のランド、他端に第2のランドを有する内部導体パターンを導電体にて、第1のランドがピアホール用穴を覆うように印刷するとともに、ピアホール用穴に該導電体を充填する工程と、

一のセラミックシートに設けられた前記第1のランドと他のセラミックシートに設けられた前記第2のランドとが、一のセラミックシートに設けられた前記ピアホールを介して電気的に接続されるように、複数のセラミックシートを積層して積層体を得る工程と、を備え、

前記第2のランドが前記第1のランドより大きいこと、

を特徴とする積層セラミック電子部品の製造方法。

【請求項 4】

前記第2のランドは、前記第1のランドの投影領域から、前記内部導体パターンの投影領域に延在していることを特徴とする請求項3に記載の積層セラミック電子部品の製造方法。

【請求項 5】

前記ピアホール用穴を形成したセラミックシートは、キャリアフィルムによる裏打ちのない状態で、前記内部導体パターンを印刷すると同時に、前記ピアホール用穴を導電体で充填することを特徴とする請求項3又は請求項4に記載の積層セラミック電子部品の製造方法。

【書類名】明細書

【発明の名称】積層セラミック電子部品およびその製造方法

【技術分野】

【0001】

本発明は、積層セラミック電子部品、特に、インダクタやインピーダンス素子などの積層セラミック電子部品およびその製造方法に関する。

【背景技術】

【0002】

従来より、この種の積層セラミック電子部品として、特許文献1に記載のものが知られている。この電子部品は、コイル形成用導体を設けたセラミックシートを積層し、各コイル形成用導体の端部に形成されたパッド（ランド）をピアホールを介して順次接続することにより螺旋状のコイルを形成している。

【0003】

すなわち、図6に示すように、ピアホール用穴を形成したセラミックシート50の表面に、コイル形成用導体51をスクリーン印刷法で形成すると同時に、ピアホール用穴を導電ペーストで充填してピアホール60を形成する。コイル形成用導体51は、層間接続のためのピアホール60を設けた第1のランド51aとピアホール60を受ける第2のランド51bとを有している。

【0004】

ここで、スクリーン印刷の条件を、ピアホール用穴が設けられた位置に形成される第1のランド51aに合わせるか、または、ピアホール用穴がない第2のランド51bに合わせるかによって、他方のランドでは印刷不良や充填不良が起こり易いという問題があった。

【0005】

例えば、図7に示すように、第2のランド51bがカスレないように形成するため、スクリーン印刷版66の導電ペースト55の透過量を大きくすると、ピアホール用穴内への導電ペースト55の充填が多くなり過ぎて、セラミックシート50の裏面への導電ペースト55の突出を招く。逆に、ピアホール用穴内への導電ペースト55の充填量を適正化すると、ピアホール用穴がない第2のランド51bにカスレが発生し易くなる。これは、スクリーン印刷の特性上、ランド形状が同一であっても、ピアホール用穴の有無により導電ペースト55のスクリーン印刷版66からの透過量が異なるためである。

【0006】

この過充填によるセラミックシート50の裏面への導電ペースト55の突出を防止するために、図8に示すように、キャリアフィルム52で裏打ちしたセラミックシート50を使用することが考えられる。しかし、キャリアフィルム52の使用は製造コストの上昇を招くという新たな問題が生じる。

【特許文献1】特開2004-87596号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

そこで、本発明の目的は、セラミックシートをキャリアフィルムで裏打ちすることなく、ピアホールの適正充填とランドのカスレ防止を両立することが可能な積層セラミック電子部品およびその製造方法を提供することにある。

【課題を解決するための手段】

【0008】

前記目的を達成するため、本発明に係る積層セラミック電子部品は、一端に第1のランド、他端に第2のランドを有する内部導体パターンを備えた複数のセラミックシートを積層して積層体を構成するとともに、前記セラミックシートに形成したピアホールによって異なる層に配置された内部導体パターンどうしを電気的に接続した積層セラミック電子部品において、ピアホールは導電体で充填されており、第1のランドはピアホールを覆うよ

うに設けられており、一のセラミックシートに設けられた第1のランドと他のセラミックシートに設けられた第2のランドとか、一のセラミックシートに設けられたピアホールを介して電気的に接続され、第2のランドが第1のランドより大きいことを特徴とする。

【0009】

前記第2のランドは、前記第1のランドの投影領域から、内部導体パターンの投影領域に延在していることが好ましい。

【0010】

また、本発明に係る積層セラミック電子部品の製造方法は、ピアホール用穴を形成したセラミックシートの表面に、一端に第1のランド、他端に第2のランドを有する内部導体パターンを導電体にて、第1のランドがピアホール用穴を覆うように印刷するとともに、ピアホール用穴に該導電体を充填する工程と、一のセラミックシートに設けられた第1のランドと他のセラミックシートに設けられた第2のランドとか、一のセラミックシートに設けられたピアホールを介して電気的に接続されるように、複数のセラミックシートを積層して積層体を得る工程と、を備え、第2のランドが第1のランドより大きいことを特徴とする。

【0011】

ピアホール用穴を形成したセラミックシートは、キャリアフィルムによる裏打ちのない状態で、内部導体パターンを印刷すると同時に、ピアホール用穴を導電体で充填することが好ましい。

【発明の効果】

【0012】

本発明によれば、スクリーン印刷の際にカスレの発生し易いピアホールを受ける第2のランドの形状を大きくしているので、第2のランドを形成するための導電ペーストの吐出量が増え、ピアホールの適正充填と第2のランドのカスレ防止を両立することができる。この結果、信頼性および生産性に優れた積層セラミック電子部品が得られる。

【発明を実施するための最良の形態】

【0013】

以下に、本発明に係る積層セラミック電子部品およびその製造方法の実施例について添付図面を参照して説明する。以下の実施例では、積層インダクタを例にして説明するが、積層インピーダンス素子や積層L C複合部品などであってもよい。

【0014】

図1に示すように、積層インダクタ1は、コイル導体パターン3～7や引出し電極8、9やピアホール15をそれぞれ設けたセラミックグリーンシート2と、予め導体パターンを設けない外層用セラミックグリーンシート2a等で構成されている。

【0015】

セラミックグリーンシート2、2aは、以下の方法で製作した。フェライトの原料粉末NiO、CuO、ZnO、Fe₂O₃などの各種原料粉末をボールミルなどにより湿式混合し、スプレードライヤーなどにより乾燥した後、仮焼した。得られたフェライト粉末を、溶剤に分散させてセラミックスラリを調整し、これをドクターブレード法により成形し、長尺のセラミックグリーンシートを得た。この長尺のセラミックグリーンシートを所定の大きさに打ち抜き、必要に応じてピアホール用穴を形成してセラミックグリーンシート2を作製した。

【0016】

次に、セラミックグリーンシート2のそれぞれにスクリーン印刷法によって、コイル導体パターン3～7および引出し電極8、9が形成されると同時に、ピアホール用穴に導電ペーストが充填され、ピアホール15が形成される。スキージの方向は、例えば、コイル導体パターンに対して図2に示す方向とした。このとき、ピアホール用穴を形成したセラミックグリーンシート2は、キャリアフィルムによる裏打ちのない状態で、コイル導体パターン3～7等が印刷されると同時に、ピアホール15が形成される。

【0017】

すなわち、図2に示したセラミックグリーンシート2の表面には、導電ペーストにて、第1のランド4aがピアホール用穴を覆うように印刷されるとともに、該ピアホール用穴に導電ペーストが充填される。従って、コイル導体パターン4は、層間接続のためのピアホール15を設けた第1のランド4aとピアホール15を受ける第2のランド4bの2種類のランドを両端に有している。そして、第2のランド4bの径が第1のランド4aの径より大きく形成されている。

【0018】

つまり、コイル導体パターン3～7は、層間接続のためのピアホール15を設けた第1のランド3a～6aと、ピアホール15を受ける第2のランド4b～7bとの2種類のランドを有している。そして、第2のランド4b～7bの径が第1のランド3a～6aの径より大きい。

【0019】

また、コイル導体パターン3の引出し部はシート2の左辺に形成された引出し電極8に接続している。コイル導体パターン7の引出し部はシート2の右辺に形成された引出し電極9に接続している。

【0020】

各セラミックグリーンシート2は積み重ねられ、さらに、上下に外層用セラミックグリーンシート2aが配置された後、1000kgf/cm²で圧着して積層体ブロックとする。これにより、各コイル用導体パターン3～7がピアホール15により電気的に接続され、螺旋状コイルが形成される。導体パターンの接続状態は、一例として図3に示すように、シート2(x)に設けられた第1のランド4aと下層のシート2(y)に設けられた第2のランド5bとか、シート2(x)に設けられたピアホール15を介して電気的に接続された状態にある。

【0021】

前記積層体ブロックは所定のサイズにカットされた後、脱脂処理が施され、870℃で一体的に焼成される。これにより、図4に示す積層体20とされる。

【0022】

次に、積層体20の両端部に導電ペーストを塗布し、850℃で焼き付けすることにより外部電極21、22を形成する。外部電極21は引出し電極8に電気的に接続され、外部電極22は引出し電極9に電気的に接続されている。

【0023】

以上の構成からなる積層インダクタ1は、スクリーン印刷の際にカスレの発生し易いピアホール15を受ける第2のランド4b、5b、6b、7bの形状を大きくしているので、第2のランド4b～7bを形成するための導電ペーストの吐出量が増える。従って、スクリーン印刷の条件を、ピアホール用穴が設けられた位置に形成される第1のランド3a～6aに合わせて、ピアホール用穴内への導電ペーストの充填量を適正化しても、第2のランド4b～7bにカスレが発生し難くなる。つまり、ピアホール15の適正充填と第2のランド4b～7bのカスレの防止を両立することができる。この結果、信頼性および生産性に優れた積層インダクタ1が得られる。

【0024】

表1は、得られた積層インダクタ1を評価した結果(実施例1)を示す表である。ピアホール15の径は160μm、第1のランド3a、4a、5a、6aの径は200μm、第2のランド4b、5b、6b、7bは240μmとした。比較のために、表1には、図6に示したコイル導体パターン51を有する従来の積層インダクタの評価結果も併せて記載している。従来の積層インダクタのピアホール60を設けた第1のランド51aとピアホール60を受ける第2のランド51bは、共に200μmの場合(比較例1)、並びに、共に240μmの場合(比較例2)とした。インダクタンス値はサンプル数30の平均値であり、静電放電試験はサンプル数30に±30kVの電圧を正負10回ずつ、0.1sec間隔で放電カンを用いて接触放電を行ったときの不合格数である。最大積層ズレ量は、積層インダクタの垂直断面を顕微鏡で拡大して構造解析を行うことによって求めた。

【0025】

【表1】

表1

	コイル導体パターン		評価結果		
	第2のランド	第1のランド	インダクタンス 値	静電放電試験 NG数	最大積層 ズレ量
実施例1	240 μm	200 μm	9.8 μH	0/30	15 μm
比較例1	200 μm	200 μm	10.3 μH	2/30	14 μm
比較例2	240 μm	240 μm	9.5 μH	0/30	55 μm

【0026】

比較例1において静電放電試験で不合格になった原因を調査したところ、第2のランド51bの印刷欠陥（印刷カスレ）が原因であることがわかった。また、比較例2において積層ズレが大きくなっている原因を調査したところ、印刷時のピアホール用穴への導電ペースト充填量が多すぎて、セラミックグリーンシートの裏面に導電ペーストが突出し、積層ズレが発生していることがわかった。

【0027】

また、図5に示すように、第2のランド34bの径を第1のランド34aの径とほぼ等しくし、第2のランド34bを第1のランドの投影領域から、コイル導体パターンの投影領域に延在させているコイル導体パターン34を用いてもよい。これにより、コイル導体パターンによって形成される螺旋状コイルの平面視形状が、従来の積層インダクタの螺旋状コイルと同等になり、コイル内面積が変化しないためインダクタンス値や高周波特性の変化がなくなる。

【0028】

表2は、図5に示したコイル導体パターン34を有する積層インダクタを評価した結果（実施例2）を示す表である。ここで、第2のランド34bの径を第1のランド34aの径と等しくし、第2のランド34bを第1のランドの投影領域から、コイル導体パターンの投影領域に（言い換えると、積層方向投影時に隠れる方向に）L=100 μm延在させている。この評価実験では、粘度100 Pa·sの導電ペーストをオープニング率60%の印刷版を用いてスクリーン印刷した。

【0029】

比較のために、表2には、図2に示したコイル導体パターン4を有する積層インダクタ1の評価結果（前記実施例1）、並びに、図6に示したコイル導体パターン51を有する従来の積層インダクタの評価結果（前記比較例1）も併せて記載している。

【0030】

【表2】

表2

	コイル導体パターン		評価結果		
	第2のランド	第2のランド	インダクタンス 値	静電放電試験 NG数	最大積層 ズレ量
実施例2	積層方向投影時に隠れる方向に 100 μm延長	200 μm	10.2 μH	0/30	15 μm
実施例1	240 μm	200 μm	9.8 μH	0/30	15 μm
比較例1	200 μm	200 μm	10.3 μH	2/30	14 μm

【0031】

実施例1の積層インダクタの場合は、第2のランド4b～7bの径を大きくしているため、コイル内面積が小さくなり、従来よりインダクタンス値が若干低下しているが、実施例2の積層インダクタの場合はインダクタンス値は殆ど変化がない。

【0032】

なお、本発明は前記実施例に限定するものではなく、その要旨の範囲内で種々に変更することができる。

【図面の簡単な説明】

【0033】

【図1】本発明に係る積層セラミック電子部品の一実施例を示す分解斜視図。

【図2】図1に示した内部導体パターンを示す平面図。

【図3】図1に示した積層セラミック電子部品の積層状態の要部を示す断面図。

【図4】図1に示した積層セラミック電子部品の外観斜視図。

【図5】図1に示した内部導体パターンの変形例を示す平面図。

【図6】従来の積層セラミック電子部品の内部導体パターンを示す平面図。

【図7】従来の積層セラミック電子部品の製造方法を示す説明図。

【図8】従来の積層セラミック電子部品の別の製造方法を示す説明図。

【符号の説明】

【0034】

1 … 積層インダクタ

2 … セラミックグリーンシート

3～7，34…コイル導体パターン

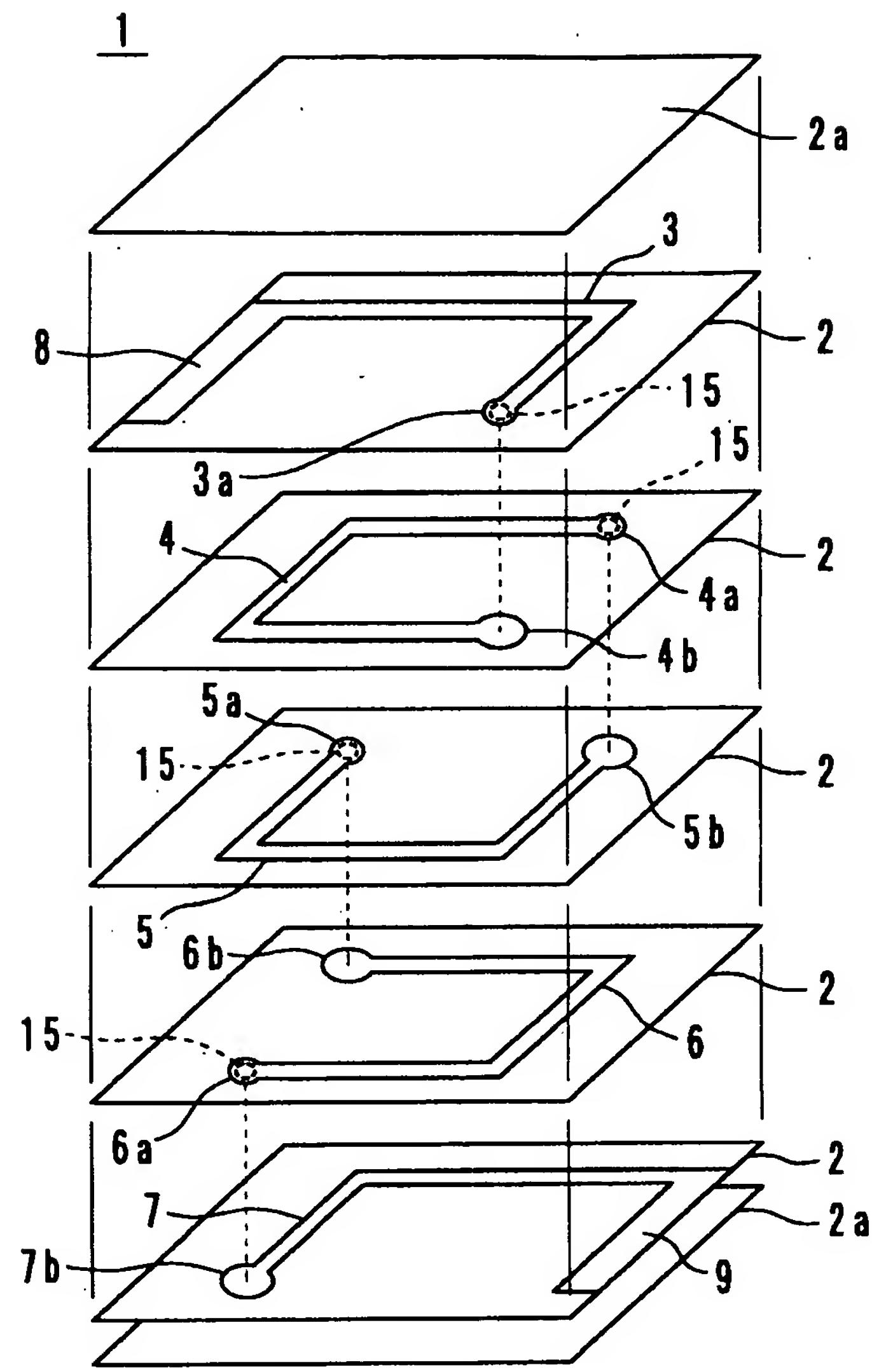
3a～6a，34a…第1のランド

4b～7b，34b…第2のランド

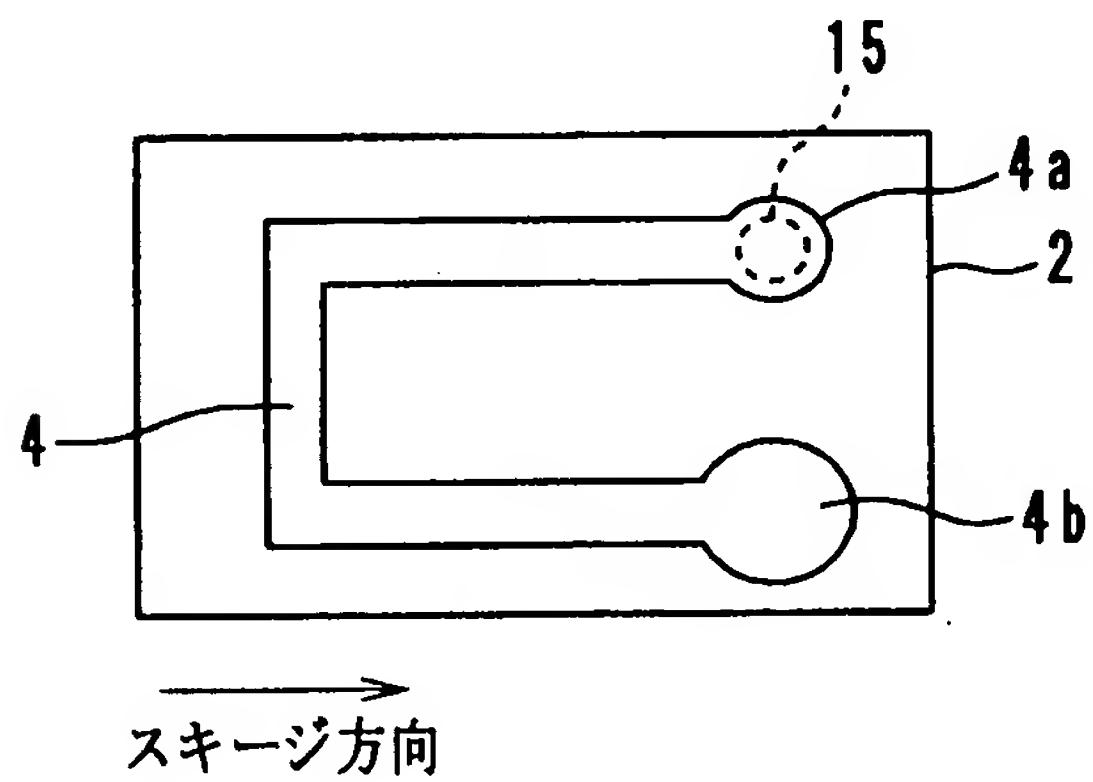
15…ピアホール

20…積層体

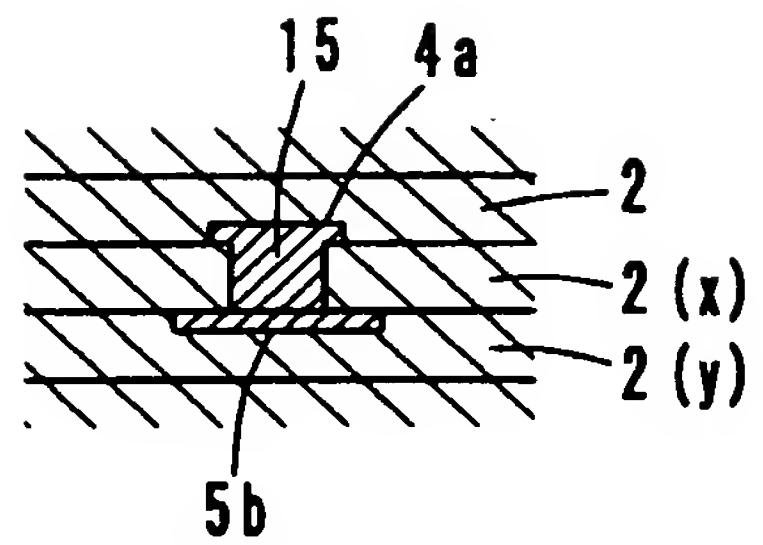
【書類名】 図面
【図 1】



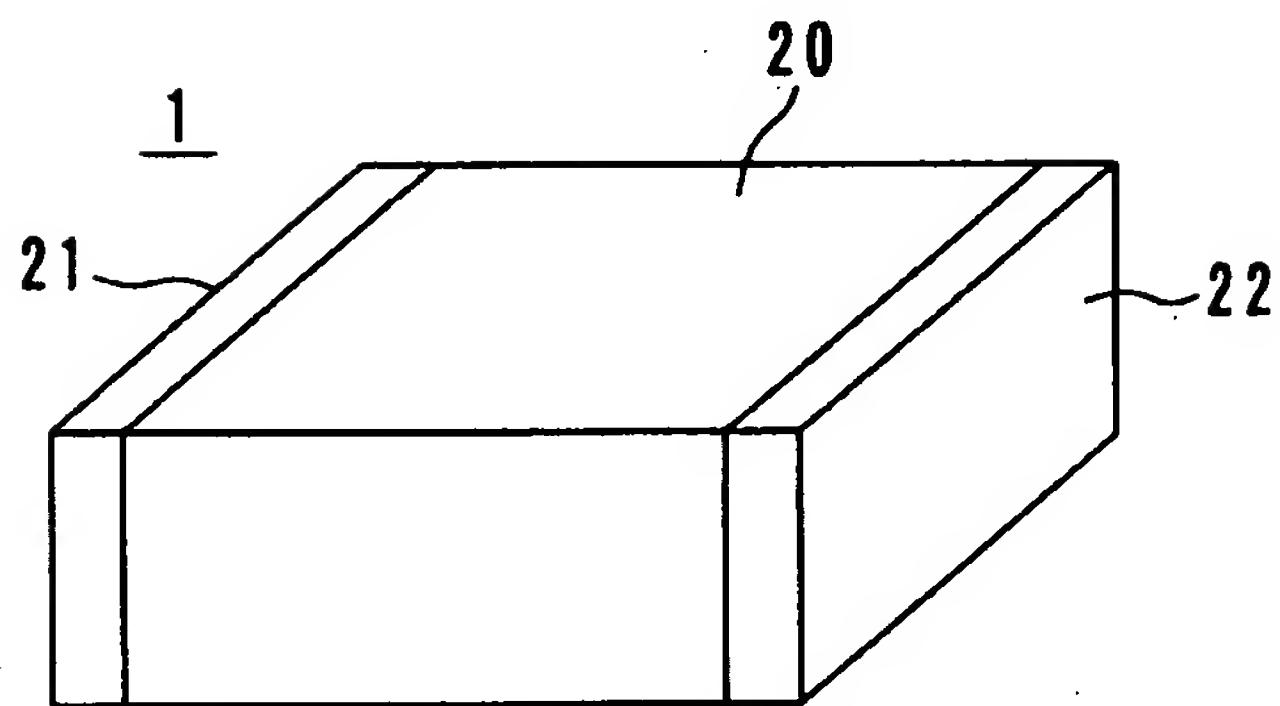
【図 2】



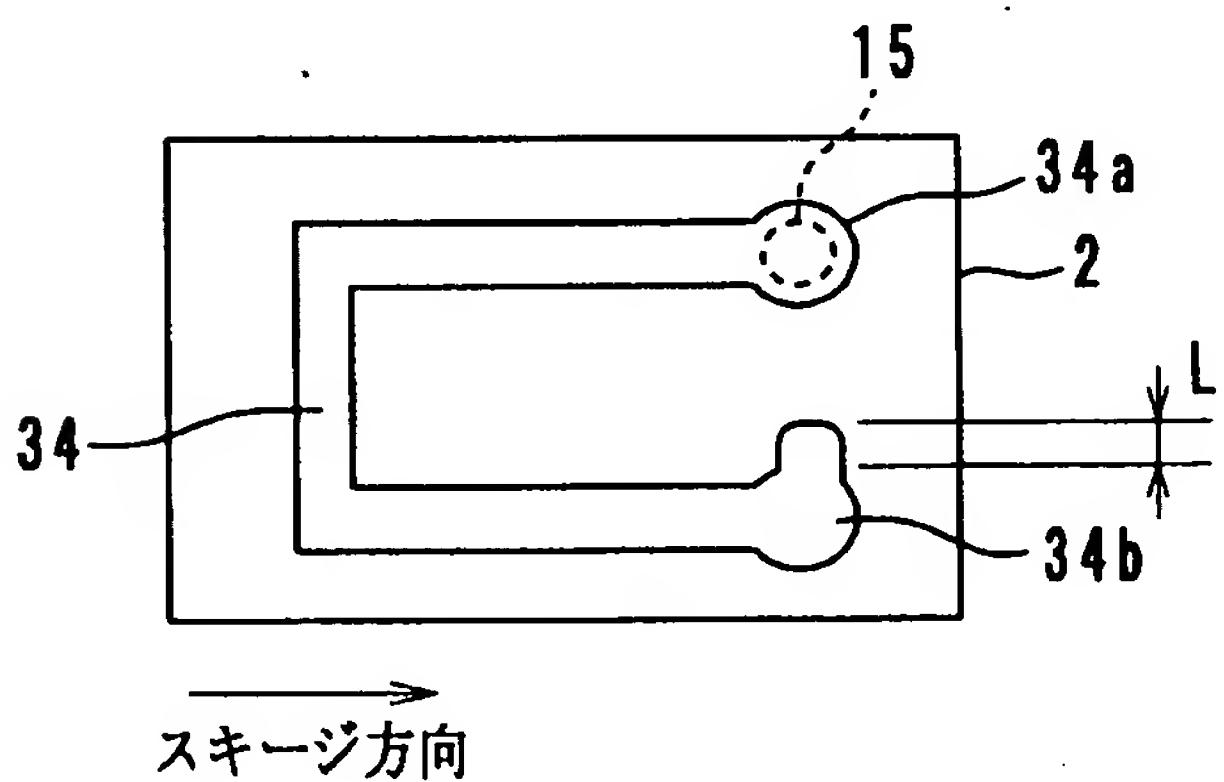
【図 3】



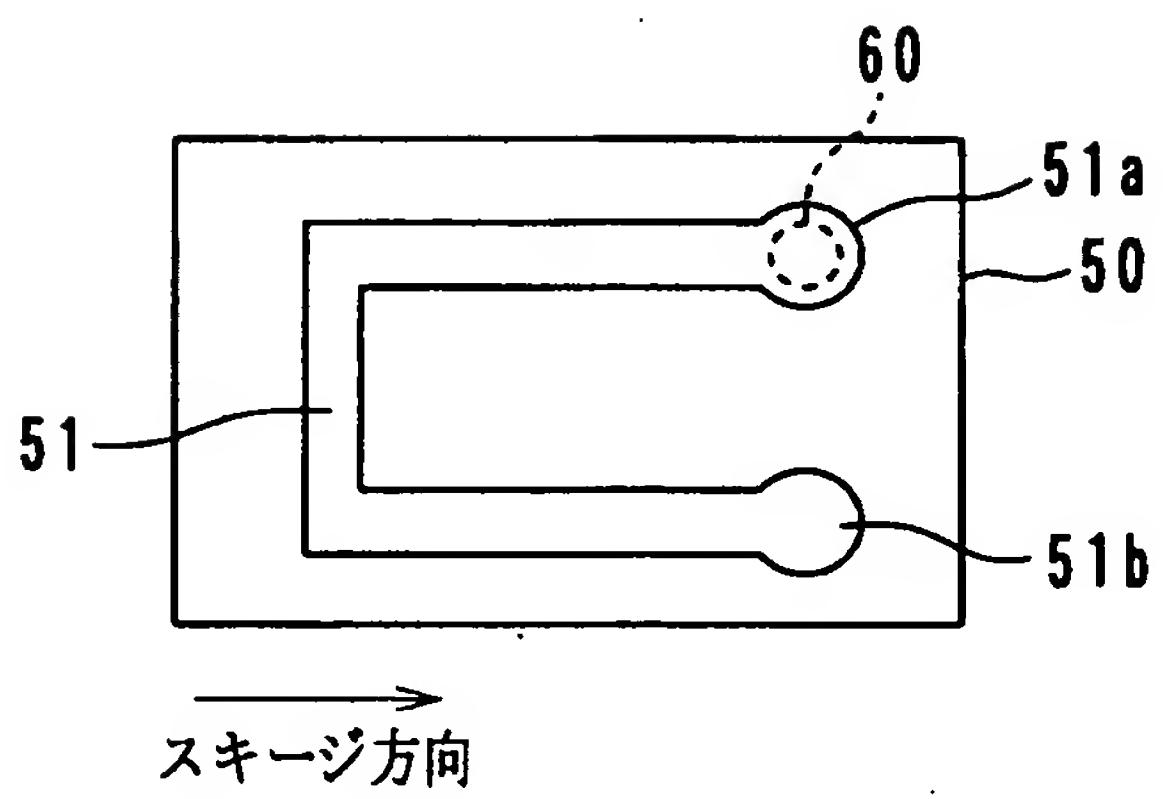
【図 4】



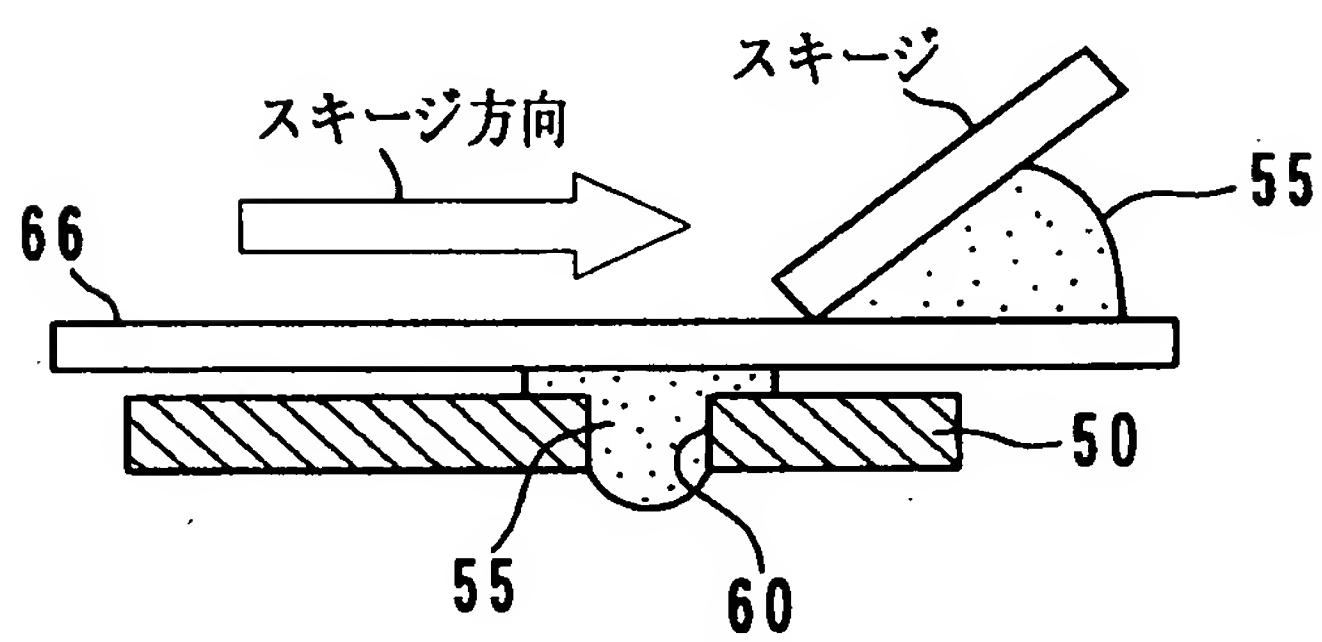
【図 5】



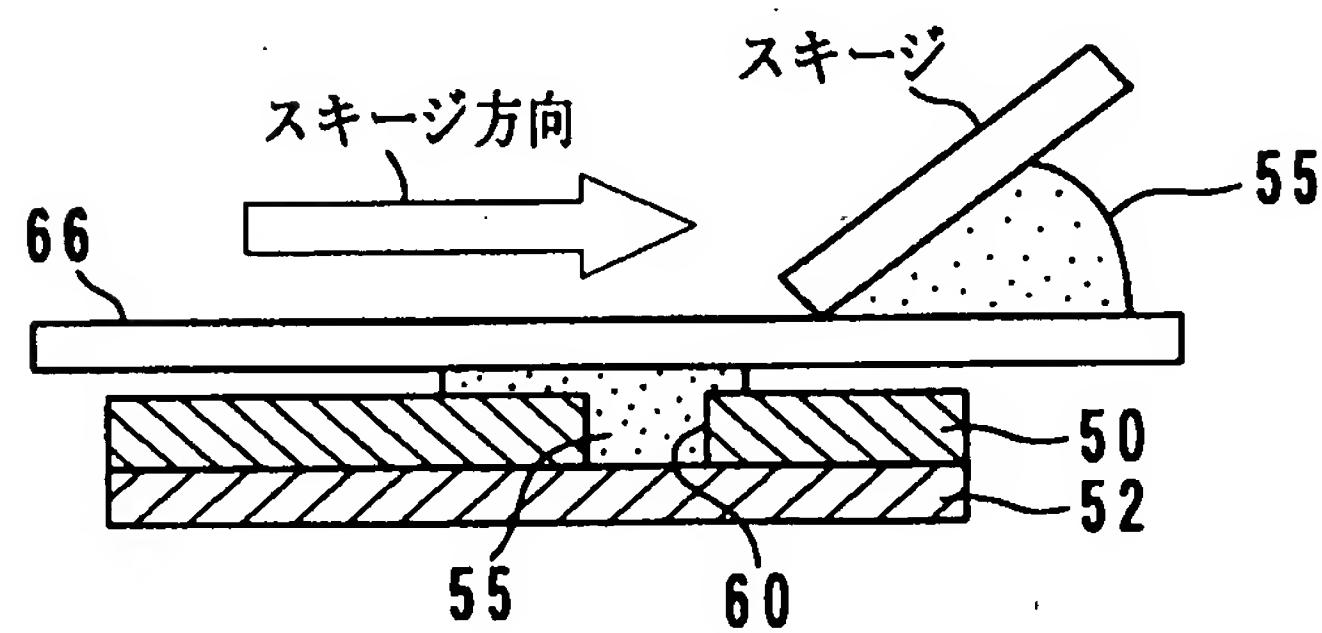
【図 6】



【図 7】



【図 8】



【書類名】要約書

【要約】

【課題】 セラミックシートをキャリアフィルムで裏打ちすることなく、ピアホールの適正充填とランドのカスレ防止を両立することが可能な積層セラミック電子部品およびその製造方法を得る。

【解決手段】 セラミックグリーンシート2は、キャリアフィルムによる裏打ちのない状態で、それぞれにスクリーン印刷法によって、コイル導体パターン3～7および引出し電極8，9が形成されると同時に、ピアホール用穴に導電ペーストが充填され、ピアホール15が形成される。コイル導体パターン3～7は、その一端に層間接続のためのピアホール15を覆うように設けられた第1のランド3a～6aと、他端に設けられたピアホール15を受ける第2のランド4b～7bとを有している。第2のランド4b～7bの径は第1のランド3a～6aの径より大きい。

【選択図】 図1

出願人履歴

000006231

20041012

住所変更

京都府長岡京市東神足1丁目10番1号
株式会社村田製作所